

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 9 月 1 日 (01.09.2005)

PCT

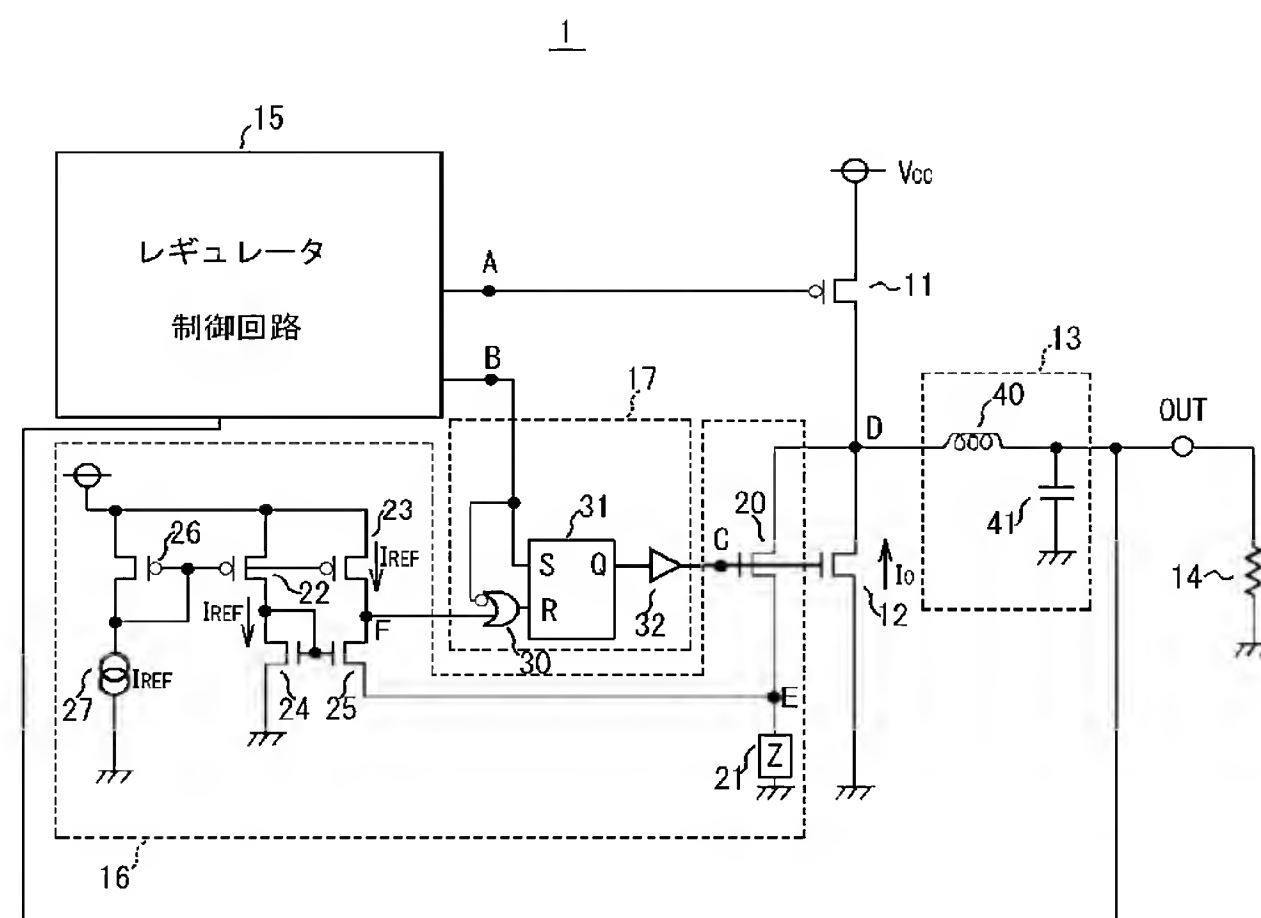
(10) 国際公開番号
WO 2005/081385 A1

- (51) 国際特許分類⁷: H02M 3/155, 3/137, 7/48
- (21) 国際出願番号: PCT/JP2005/002270
- (22) 国際出願日: 2005 年 2 月 15 日 (15.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-042277 2004 年 2 月 19 日 (19.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 北條 喜之 (HOJO, Yoshiyuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 藤河 恒生 (FUJIKAWA, Tsuneo); 〒5202153 滋賀県大津市一里山四丁目 9 番 8 2 号 こなん特許事務所 Shiga (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

/ 続葉有 /

(54) Title: CURRENT DIRECTION DETERMINING CIRCUIT, AND SWITCHING REGULATOR HAVING THE SAME

(54) 発明の名称: 電流方向検出回路及びそれを備えたスイッチングレギュレータ



15 REGULATOR CONTROL CIRCUIT

(57) Abstract: A current direction determining circuit wherein the power loss of a switching regulator can be suppressed and the circuit size can be reduced. The current direction determining circuit (16) comprises a monitor transistor (20) whose control and output terminals are respectively connected to the control and output terminals of a ground-side output transistor (12); an impedance element (21) having one of its ends connected to the input terminal of the monitor transistor (20) and having the other end grounded; first and second constant current sources (22,23); a diode-connected reference transistor (24) inserted between the first constant current source (22) and the ground potential; and a sense transistor (25) inserted between the second constant current source (23) and the impedance element (21) and having its control terminal connected to the control terminal of the reference transistor (24).

(57) 要約: スイッチングレギュレータの電力損失の抑制が可能でしかも回路規模が小さい電流方向検出回路を提供する。この電流方向検出回路 16 は、接地側出力トランジスタ 12 の制御端及び出力端にそれぞれ制御端及び出力端が接続されたモニタ用トランジスタ 20 と、モニタ用トランジスタ 20 の入力端に一端が接続され、他端が接地されたインピーダンス

/ 続葉有 /

WO 2005/081385 A1



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

素子21と、第1及び第2の定電流源22、23と、第1の定電流源22と接地電位の間に介装されたダイオード接続のリファレンス用トランジスタ24と、第2の定電流源23とインピーダンス素子21の間に介装されリファレンス用トランジスタ24の制御端に制御端が接続されたセンス用トランジスタ25と、を備える。

明 細 書

電流方向検出回路及びそれを備えたスイッチングレギュレータ

技術分野

- [0001] 本発明は、接地側出力トランジスタに逆方向電流が流れた場合に、これを検出することができる電流方向検出回路及びその電流方向検出回路を備えたスイッチングレギュレータに関する。

背景技術

- [0002] スwitchングレギュレータは、電源を入力する端子と負荷に接続され所定のDC電圧を出力する端子の間にメインスイッチング素子である電源側出力トランジスタを設け、その電源側出力トランジスタをオンオフ（道通・非導通）することにより所定のDC電圧を維持する。このものは、小型で高い電力効率を達成できるので広く使用されているが、更に電力効率を向上させるものとして、同期整流用スイッチング素子である接地側出力トランジスタを付設した同期整流型のスイッチングレギュレータが近年使用されて来ている（例えば特許文献1）。
- [0003] 図3に従来の同期整流型のスイッチングレギュレータの構成を示す。このスイッチングレギュレータ101は、入力電源 V_{cc} と接地電位の間に直列に設けられたP型MOSトランジスタである電源側出力トランジスタ111及びN型MOSトランジスタである接地側出力トランジスタ112と、両トランジスタ111、112の間に入力端が、出力端子OUTに出力端が、それぞれ接続された平滑用回路113と、出力端子OUTの電圧をフィードバック入力して所定のDC電圧を維持すべく、電源側出力トランジスタ111及び接地側出力トランジスタ112をオンオフ制御する制御信号A及び制御信号Bを出力するレギュレータ制御回路115と、接地側出力トランジスタ112に逆方向電流が流れたときそれを検出して制御信号Fを出力する電流方向検出回路116と、制御信号Bと制御信号Fにより接地側出力トランジスタ112の制御のための出力信号Cを出力する接地側出力トランジスタ制御回路117と、を備える。ここで、出力端子OUTには外部で負荷114が接続されている。また、平滑用回路113は、電源側出力トランジスタ111と接地側出力トランジスタ112の接続点（節点D）に一端が、出力端子OUTに他端

が接続された平滑用コイル140と、出力端子OUTに一端が接続され他端が接地された平滑用コンデンサ141と、から構成される。また、レギュレータ制御回路115は、出力する制御信号A及び制御信号Bがほぼ同一波形である。

[0004] 電流方向検出回路116は、節点Dの電圧を反転入力端子に、接地電位を非反転入力端子にそれぞれ入力して比較するコンパレータ120により構成される。また、接地側出力トランジスタ制御回路117は、レギュレータ制御回路115の制御信号Bと電流方向検出回路116の制御信号Fを入力するAND回路130と、その電流能力を上げて出力するバッファ131と、から構成される。

[0005] 次に、スイッチングレギュレータ101の動作を図4に基づいて説明する。同図において、 V_B はレギュレータ制御回路115の制御信号Bの電圧、 V_C は接地側出力トランジスタ制御回路117の出力信号Cの電圧、 I_O は接地側出力トランジスタ112に流れる電流、 V_D は節点Dの電圧である。なお、同図は負荷114が軽い場合の波形であり、負荷114が重い場合は省略している。

[0006] 制御信号Bがローレベルの期間では、出力信号Cはローレベルであって接地側出力トランジスタ112をオフさせる。また、制御信号Aもローレベルであるので電源側出力トランジスタ111はオンしている。従って、接地側出力トランジスタ112に流れる電流 I_O はゼロであり、かつ、節点Dの電圧 V_D はハイレベルになっている。

[0007] 制御信号Bがハイレベルになると、制御信号Aもハイレベルになるので、電源側出力トランジスタ111はオフする。そして、節点Dの電圧 V_D が降下して接地電位よりも下がると、制御信号Fはハイレベルとなって接地側出力トランジスタ112はオンする。これにより、先ず接地電位から節点Dに向けて正方向の電流 I_O が流れる。このとき、節点Dの電圧 V_D は、この電流 I_O に接地側出力トランジスタ12のオン抵抗を掛けた電圧分だけ接地電位より下がる。

[0008] その後、電流 I_O は徐々に直線的に減少し、これに応じて節点Dの負電圧 V_D も徐々に直線的に上昇する。ここで、負荷114が重い場合、電流 I_O は減少し始める前の初期電流値が大きいために、それが逆方向電流になるまでにハイレベルの期間が経過して制御信号Bはローレベルに戻る(図示せず)。これに対し、負荷114が軽い場合は、制御信号Bのハイレベルの期間が経過するまでに電流 I_O は逆方向電流になる。

この逆方向電流は、接地電位に向かって出て行く電流であるので電力損失となり、スイッチングレギュレータ101の電力効率はその分だけ低くなる。そこで、逆方向電流になると、電流方向検出回路116はそれを検出してローレベルの制御信号Fを出力する。その結果、出力信号Cの電圧 V_C がローレベルになることにより、接地側出力トランジスタ112が強制的にオフして逆方向電流が流れるのが抑制されるのである。

[0009] 特許文献1:特開2000-92824号公報

発明の開示

発明が解決しようとする課題

[0010] このように、負荷が軽い場合、電流 I_O が逆方向電流になると接地側出力トランジスタ112が強制的にオフすることにより、電力効率を高めることができる。本願発明者は、更なる電力効率の向上を検討した結果、電流方向検出回路116が接地側出力トランジスタ112の逆方向電流を検出してからそれがオフするまでには一定の遅延(図4における期間 t_0)があり、この遅延により逆方向電流はしばらくの間流れ、そのために電力損失が起こることに着目した。また、節点Dの電圧 V_D は、電源電圧から接地電位以下まで広い変動幅を有する。従って、このような変動幅の広い電圧を入力電圧とする電流方向検出回路116のコンパレータ120は、変動幅の狭い電圧を入力電圧とする通常のコンパレータに比べ回路規模が大きなものになる。

[0011] また、このスイッチングレギュレータ101では、図4に示すように、接地側出力トランジスタ112が強制的にオフになった後に発生する次第に減衰する電圧の揺れ、すなわち、リングングにより、節点Dの電圧 V_D が接地電位以下になれば、電流方向検出回路116が一瞬動作し、無駄な電力を消費したりノイズを発生させたりするおそれもある。

[0012] 本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、スイッチングレギュレータなどに用いてその電力損失の更なる抑制が可能となり、しかも回路規模が小さい電流方向検出回路、及びそれを備えることにより電力損失が抑制され、かつ逆方向電流検出後に電流方向検出回路が再び動作することのないスイッチングレギュレータを提供することにある。

課題を解決するための手段

- [0013] 上記の課題を解決するために、本発明の望ましい実施形態に係る電流方向検出回路は、接地された入力端から出力端に電流を流す接地側出力トランジスタに、逆方向電流が流れたときそれを検出する電流方向検出回路であって、接地側出力トランジスタの制御端及び出力端にそれぞれ制御端及び出力端が接続されたモニタ用トランジスタと、モニタ用トランジスタの入力端に一端が接続され、他端が接地されたインピーダンス素子と、第1及び第2の定電流源と、第1の定電流源と接地電位の間に介装されたダイオード接続のリファレンス用トランジスタと、第2の定電流源とインピーダンス素子の間に介装されリファレンス用トランジスタの制御端に制御端が接続されたセンス用トランジスタと、を備え、第2の定電流源とセンス用トランジスタの間の電圧を制御信号として出力して接地側出力トランジスタとモニタ用トランジスタを制御する。
- [0014] 本発明の望ましい実施形態に係るスイッチングレギュレータは、入力電源と接地電位の間に直列に設けられた電源側出力トランジスタ及び接地側出力トランジスタと、電源側出力トランジスタと接地側出力トランジスタの間に入力端が接続され、所定のDC電圧を出力する出力端子に出力端が接続された平滑用回路と、出力端子の電圧をフィードバック入力して所定のDC電圧を維持すべく電源側出力トランジスタと接地側出力トランジスタをオンオフ制御するレギュレータ制御回路と、を備えるスイッチングレギュレータにおいて、上述の電流方向検出回路と、レギュレータ制御回路の制御信号によりオンさせた後、電流方向検出回路の制御信号が一旦立ち上がると継続してオフさせるように接地側出力トランジスタを制御する接地側出力トランジスタ制御回路と、を更に備える。

発明の効果

- [0015] 本発明の望ましい実施形態に係る電流方向検出回路は、上述のように、モニタ用トランジスタと、インピーダンス素子と、第1及び第2の定電流源と、リファレンス用トランジスタと、センス用トランジスタと、を有して構成されることにより、接地側出力トランジスタに流れる電流が逆方向になる少し前の状態を検出して制御信号を出力させられ、スイッチングレギュレータなどに用いてその電力損失の更なる抑制が可能となり、しかも回路規模を小さくすることができる。また、本発明の望ましい実施形態に係るスイ

スイッチングレギュレータは、逆方向電流検出後に電流方向検出回路が再び動作することがないので、リングングによる無駄な電力の消費やノイズ発生を抑制することができる。

図面の簡単な説明

[0016] [図1]本発明の実施形態に係る電流方向検出回路及びそれを備えたスイッチングレギュレータの回路図である。

[図2]同上の動作波形図である。

[図3]背景技術におけるスイッチングレギュレータの回路図である。

[図4]同上の動作波形図である。

符号の説明

- [0017]
- 1 スwitchングレギュレータ
 - 11 電源側出力トランジスタ
 - 12 接地側出力トランジスタ
 - 13 平滑用回路
 - 14 負荷
 - 15 レギュレータ制御回路
 - 16 電流方向検出回路
 - 17 接地側出力トランジスタ制御回路
 - 20 モニタ用トランジスタ
 - 21 インピーダンス素子
 - 22 第1の定電流源
 - 23 第2の定電流源
 - 24 リファレンス用トランジスタ
 - 25 センス用トランジスタ
 - V_{cc} 入力電源
 - OUT 出力端子

発明を実施するための最良の形態

[0018] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の

実施形態である電流方向検出回路及びそれを備えたスイッチングレギュレータの回路図である。このスイッチングレギュレータ1は、入力電源 V_{cc} と接地電位の間に直列に設けられたP型MOSトランジスタである電源側出力トランジスタ11及びN型MOSトランジスタである接地側出力トランジスタ12と、両トランジスタ11、12の間に入力端が、出力端子OUTに出力端が、それぞれ接続された平滑用回路13と、出力端子OUTの電圧をフィードバック入力して所定のDC電圧を維持すべく、電源側出力トランジスタ11及び接地側出力トランジスタ12をオンオフ制御する制御信号A及び制御信号Bを出力するレギュレータ制御回路15と、接地側出力トランジスタ12に逆方向電流が流れたときそれを検出して制御信号Fを出力する電流方向検出回路16と、制御信号Bと制御信号Fにより接地側出力トランジスタ12を制御する出力信号Cを出力する接地側出力トランジスタ制御回路17と、を備える。ここで、出力端子OUTには外部で負荷14が接続されている。また、平滑用回路13は、電源側出力トランジスタ11と接地側出力トランジスタ12の接続点(節点D)に一端が、出力端子OUTに他端が接続された平滑用コイル40と、出力端子OUTに一端が接続され他端が接地された平滑用コンデンサ41と、から構成される。また、レギュレータ制御回路15は、出力する制御信号A及び制御信号Bがほぼ同一波形である。

- [0019] 電流方向検出回路16は、接地側出力トランジスタ12のゲート(制御端)及びドレイン(出力端)にそれぞれゲート(制御端)及びドレイン(出力端)が接続されたN型MOSトランジスタであるモニタ用トランジスタ20と、モニタ用トランジスタ20のソース(入力端)に一端が接続され、他端が接地されたインピーダンス素子21と、共にP型MOSトランジスタで構成される第1及び第2の定電流源22、23と、第1の定電流源22と接地電位の間に介装されたダイオード接続、すなわちドレインとゲートが接続されたN型MOSトランジスタであるリファレンス用トランジスタ24と、第2の定電流源23とインピーダンス素子21の間に介装されリファレンス用トランジスタのゲート(制御端)にゲート(制御端)が接続されたN型MOSトランジスタであるセンス用トランジスタ25と、を備える。また、電流方向検出回路16は、第1及び第2の定電流源22、23とカレントミラー回路を構成してそれらの電流値を設定するP型MOSトランジスタ26と、それに流れる電流を生成する定電流源27と、を備える。そして、電流方向検出回路16は、第2

の定電流源23とセンス用トランジスタ25の間(節点F)の電圧を制御信号として出力し、接地側出力トランジスタ制御回路17を介して接地側出力トランジスタ12とモニタ用トランジスタ20を制御する。

[0020] ここで、モニタ用トランジスタ20は、接地側出力トランジスタ12の電流値に比例した比較的少ない電流を流すため、接地側出力トランジスタ12の所定値(N)分の1のサイズに設定されている。インピーダンス素子21は、流れる電流に応じて電圧を生成する素子であり、例えば抵抗素子やオン抵抗を比較的高くしたN型MOSTランジスタなどが用いられる。第1の定電流源22と第2の定電流源23は等しい定電流 I_{REF} (例えば $1\mu A$)を流す能力を有する。また、第1の定電流源22とリファレンス用トランジスタ24の接続点がハイレベルになるように、リファレンス用トランジスタ24のサイズが設定されている。そして、リファレンス用トランジスタ24とセンス用トランジスタ25のサイズは等しくしてあり、節点Eの電圧 V_E がほぼ接地電位以上であると節点F、すなわち電流方向検出回路16が出力する制御信号の電圧 V_F はハイレベルとなる。これに対し、節点Eの電圧 V_E がほぼ接地電位よりも下がるとセンス用トランジスタ25のオン抵抗は下がり、節点Fの電圧 V_F はローレベルとなる。

[0021] 節点Eの電圧が接地電位以上の場合とは、具体的には、モニタ用トランジスタ20がオフとなっている場合とモニタ用トランジスタ20がオンとなっていてかつ節点Dの電圧 V_D が接地電位以上になっている場合である。モニタ用トランジスタ20がオフとなっている場合は、インピーダンス素子21(例えば $1K\Omega$)に第2の定電流源23から電流が流れようとするため、節点Eの電圧は接地電位から僅かに上昇する。また、モニタ用トランジスタ20がオンとなっていてかつ節点Dの電圧 V_D が接地電位以上になっている場合は、節点Dからモニタ用トランジスタ20及びインピーダンス素子21を通して電流が流れるため、節点Eの電圧 V_E はモニタ用トランジスタ20のオン抵抗とインピーダンス素子21の抵抗で節点Dの電圧 V_D を分割した値になる。一方、節点Eの電圧 V_E が接地電位よりも下がる場合とは、具体的には、モニタ用トランジスタ20がオンとなっていてかつ節点Dの電圧 V_D が接地電位よりも下の電圧、すなわち負電圧になっている場合である。この場合は、接地電位からインピーダンス素子21及びモニタ用トランジスタ20を通して電流が流れるため、節点Eの電圧 V_E はインピーダンス素子21の抵抗

とモニタ用トランジスタ20のオン抵抗で節点Dの負電圧 V_D を分割した値になる。

- [0022] 更に厳密には、モニタ用トランジスタ20がオンとなっていてかつ節点Dが負電圧になっている場合であっても、その負電圧値が小さければ、節点Eの電圧 V_E が接地電位以上の場合がある。すなわち、例えばモニタ用トランジスタ20のオン抵抗値及びインピーダンス素子21の抵抗値を共にRと設定すると、節点Eの電圧 V_E は、

$$V_E = (V_D + I_{REF} \times R) / 2$$

である。 I_{REF} は、前述の通り、第2の定電流源23の定電流値である。 $V_D = -I_{REF} \times R$ のときに V_E がゼロとなるので、節点Dの電圧 V_D が負であっても $(I_{REF} \times R)$ よりも小さければ、節点Eの電圧 V_E が接地電位以上となる。このように、節点Dの電圧 V_D が接地電位から負方向にオフセットを持って、電流方向検出回路16により検出される。このオフセット値は、 I_{REF} 又はインピーダンス素子21の抵抗値により調整することができる。これを利用して、接地側出力トランジスタ12に逆方向電流が流れる少し前にそれを検出することができるが、このことは後述する。

- [0023] 次に、接地側出力トランジスタ制御回路17を説明する。接地側出力トランジスタ制御回路17は、レギュレータ制御回路15の制御信号Bの反転信号と電流方向検出回路16の制御信号Fを入力するOR回路30と、制御信号Bをセット入力端子Sに、OR回路30の出力をリセット入力端子Rに入力し、非反転出力端子Qから出力するエッジ検出回路31と、エッジ検出回路31の電流能力を上げて出力するバッファ32と、から構成される。エッジ検出回路31は、セット入力端子Sの入力信号の立ち上がりエッジにより非反転出力端子Qからハイレベルを出力してその状態を維持し、リセット入力端子Rの入力信号の立ち上がりエッジにより非反転出力端子Qからローレベルを出力してその状態を維持する。

- [0024] 次に、スイッチングレギュレータ1の動作を電流方向検出回路16の動作を中心に図2に基づいて説明する。同図において、 V_B はレギュレータ制御回路15の制御信号Bの電圧、 V_C は接地側出力トランジスタ制御回路17の出力信号Cの電圧、 I_O は接地側出力トランジスタ12に流れる電流、 V_D は節点Dの電圧、 V_E は節点Eの電圧、 V_F は電流方向検出回路16の制御信号Fの電圧、である。なお、図における V_E の高さは拡大して示している。また、同図は負荷14が軽い場合の波形であり、負荷14が重い場合

は省略している。

- [0025] 制御信号Bがローレベルの期間では、出力信号Cはローレベルであって接地側出力トランジスタ12及びモニタ用トランジスタ20をオフさせている。また、制御信号Aもローレベルであって電源側出力トランジスタ11はオンしている。従って、接地側出力トランジスタ12に流れる電流 I_O はゼロであり、節点Dの電圧 V_D はハイレベルになっている。また、モニタ用トランジスタ20がオフであるので、前述のように、節点Eの電圧 V_E は接地電位から僅かに上昇し、節点Fの電圧 V_F はハイレベルになっている。
- [0026] 制御信号Bがハイレベルになると、制御信号Aもハイレベルになるので、電源側出力トランジスタ11はオフする。そして、接地側出力トランジスタ制御回路17は、制御信号Bの立ち上がりエッジを受けてハイレベルを出力し、接地側出力トランジスタ12及びモニタ用トランジスタ20をオンさせる。接地側出力トランジスタ12のオンにより、先ず接地電位から節点Dに向けて正方向の電流 I_O が流れる。このとき、節点Dの電圧 V_D は、この電流 I_O に接地側出力トランジスタ12のオン抵抗を掛けた電圧分だけ接地電位より下がる。また、節点Eの電圧 V_E も負電圧であり、節点Fの電圧 V_F はローレベルになる。
- [0027] その後、電流 I_O は徐々に直線的に減少し、これに応じて節点Dの負の電圧 V_D 及び節点Eの電圧 V_E も徐々に直線的に上昇する。ここで、負荷14が重い場合、電流 I_O は減少し始める前の初期電流値が大きいために、それが逆方向電流になるまでにハイレベルの期間が経過して制御信号Bはローレベルに戻る(図示せず)。この場合、接地側出力トランジスタ制御回路17は、入力した制御信号Bの立ち下がりエッジを受けてローレベルを出力し、接地側出力トランジスタ12及びモニタ用トランジスタ20をオフさせる(図示せず)。
- [0028] これに対し、負荷14が軽い場合は、制御信号Bのハイレベルの期間が経過するまでに接地側出力トランジスタ12に流れる電流 I_O は逆方向電流に、節点Dの電圧 V_D は正電圧になろうとする。しかし、前述のように、節点Dの電圧 V_D は接地電位から負方向にオフセットを持って、電流方向検出回路16により検出される。つまり、電流方向検出回路16は、電流 I_O が逆方向になる少し前の状態を検出し、節点Fにハイレベルの制御信号を出力する。そして、接地側出力トランジスタ制御回路17は、入力した

電流方向検出回路16の制御信号Fの立ち上がりエッジを受けてローレベルを出力し、接地側出力トランジスタ12を強制的にオフさせる。すなわち、接地側出力トランジスタ制御回路17は、レギュレータ制御回路15の制御信号Bによりオンさせた後、電流方向検出回路16の制御信号Fが一旦立ち上がると継続してオフさせるように接地側出力トランジスタ12を制御するのである。

[0029] こうして、電流方向検出回路16は、接地側出力トランジスタ12に逆方向電流が流れる少し前にそれを検出することで、電流方向検出回路16及び接地側出力トランジスタ制御回路17による回路遅延を補償して電力損失を抑え、もって電力効率を高くすることができる。また、電流方向検出回路16は、背景技術におけるスイッチングレギュレータ101に用いられる変動幅の広い電圧を入力電圧とする電流方向検出回路116に比べ、入力電圧の変動幅が狭く、簡単な回路構成なので回路規模は小さくなる。

[0030] また、接地側出力トランジスタ12が強制的にオフになると、節点Dの電圧 V_D はリングングを経て出力端子OUTの電圧レベルに収束して安定するが、このとき、接地側出力トランジスタ制御回路17は電流方向検出回路16の制御信号Fが一旦立ち上がると継続してオフさせるように接地側出力トランジスタ12を制御しているので、背景技術におけるスイッチングレギュレータ101のように、リングングにより電流方向検出回路16が再び動作するおそれはない。

[0031] なお、本発明の実施形態である電流方向検出回路は、スイッチングレギュレータのために案出したものであるが、コイルに電流を出力する接地側出力トランジスタを有する他の装置(例えばモータドライブ装置など)に用いることも可能である。

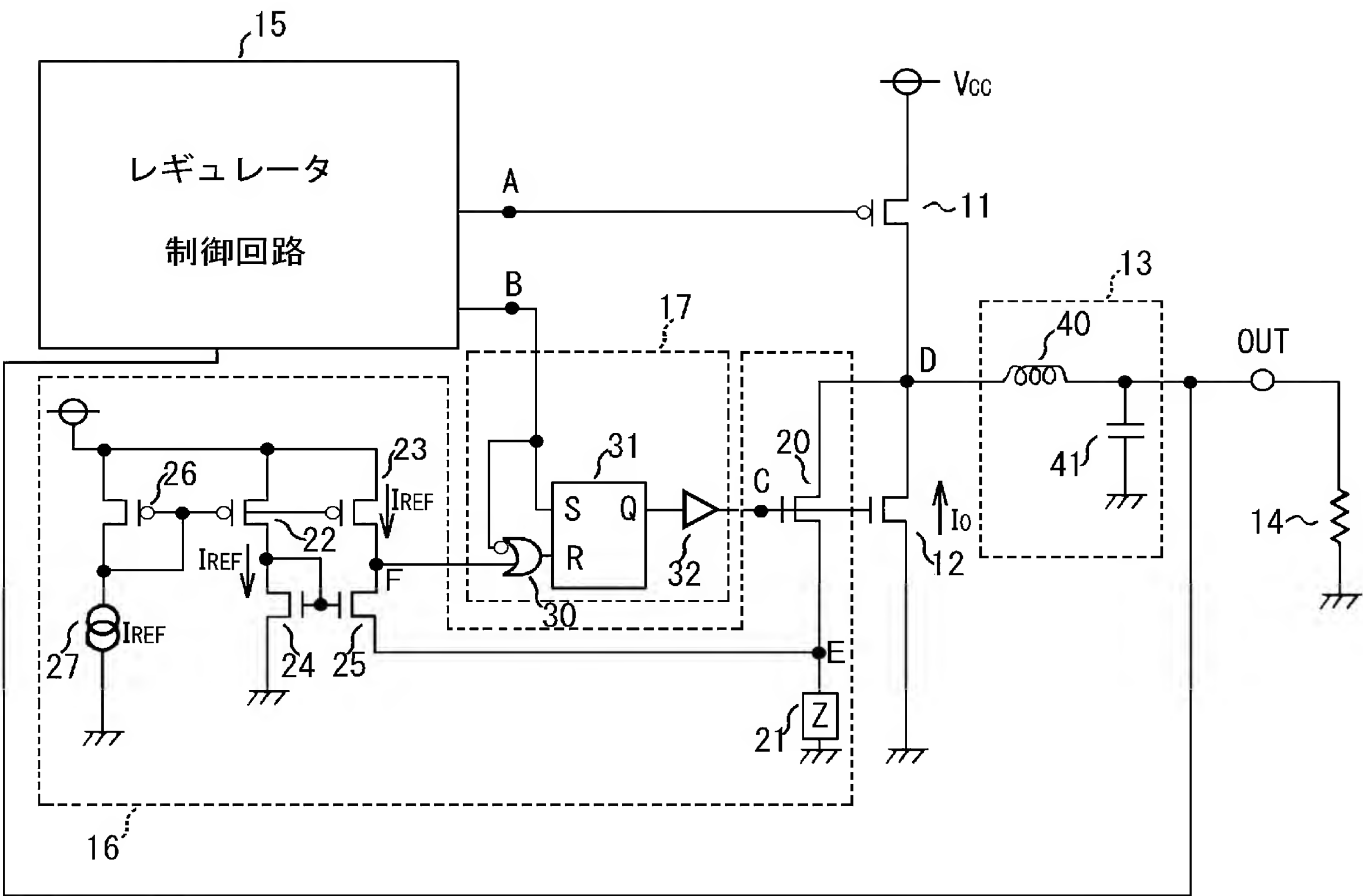
[0032] また、本発明は、上述した実施形態に限られることなく、請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。

請求の範囲

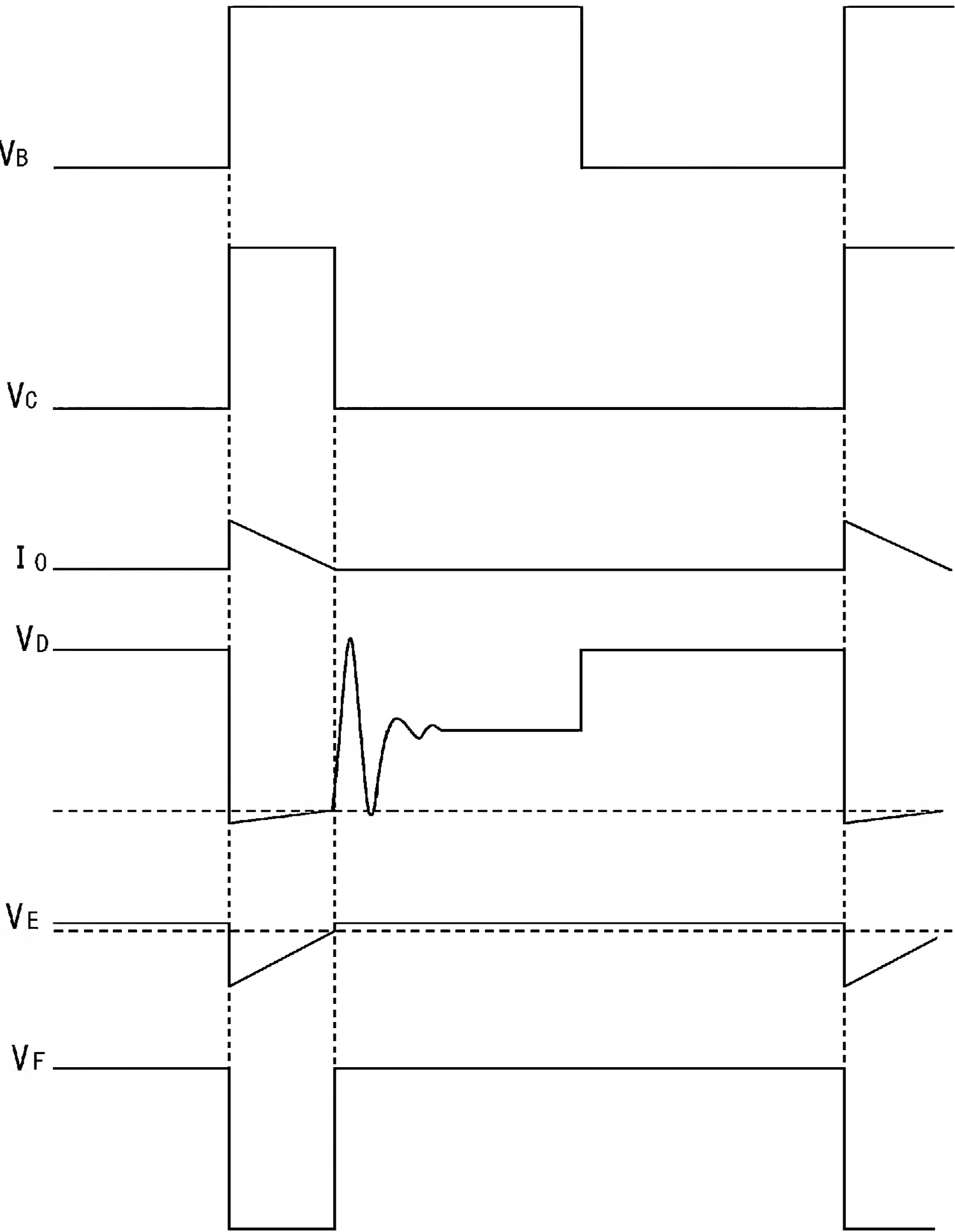
- [1] 接地された入力端から出力端に電流を流す接地側出力トランジスタに、逆方向電流が流れたときそれを検出する電流方向検出回路であって、
- 接地側出力トランジスタの制御端及び出力端にそれぞれ制御端及び出力端が接続されたモニタ用トランジスタと、
- モニタ用トランジスタの入力端に一端が接続され、他端が接地されたインピーダンス素子と、
- 第1及び第2の定電流源と、
- 第1の定電流源と接地電位の間に介装されたダイオード接続のリファレンス用トランジスタと、
- 第2の定電流源とインピーダンス素子の間に介装されリファレンス用トランジスタの制御端に制御端が接続されたセンス用トランジスタと、
- を備え、
- 第2の定電流源とセンス用トランジスタの間の電圧を制御信号として出力して接地側出力トランジスタとモニタ用トランジスタを制御することを特徴とする電流方向検出回路。
- [2] 入力電源と接地電位の間に直列に設けられた電源側出力トランジスタ及び接地側出力トランジスタと、電源側出力トランジスタと接地側出力トランジスタの間に入力端が接続され、所定のDC電圧を出力する出力端子に出力端が接続された平滑用回路と、出力端子の電圧をフィードバック入力して所定のDC電圧を維持すべく電源側出力トランジスタと接地側出力トランジスタをオンオフ制御するレギュレータ制御回路と、を備えるスイッチングレギュレータにおいて、
- 請求項1に記載の電流方向検出回路と、
- レギュレータ制御回路の制御信号によりオンさせた後、電流方向検出回路の制御信号が一旦立ち上がると継続してオフさせるように接地側出力トランジスタを制御する接地側出力トランジスタ制御回路と、
- を更に備えることを特徴とするスイッチングレギュレータ。

[[図1]]

1

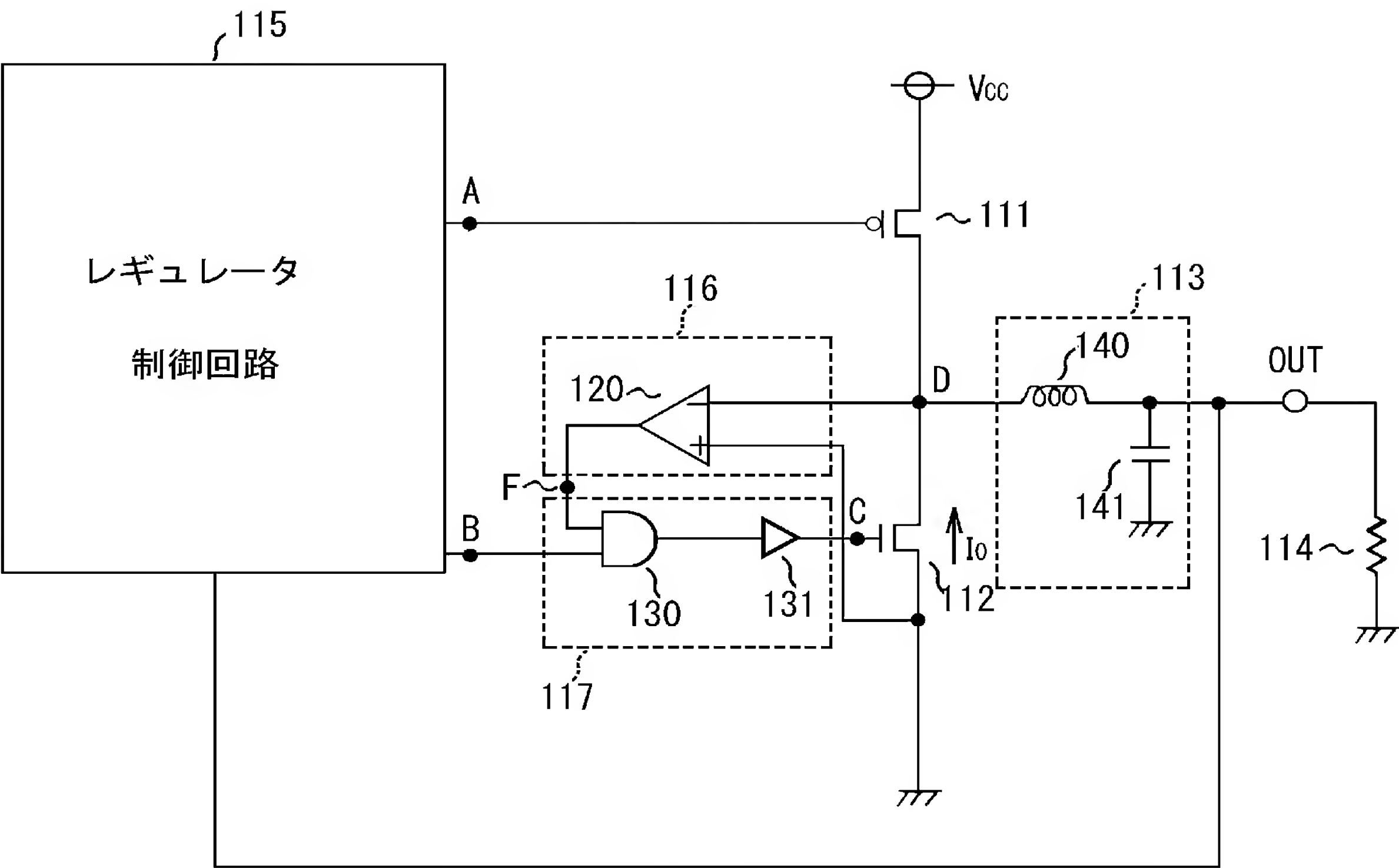


[図2]

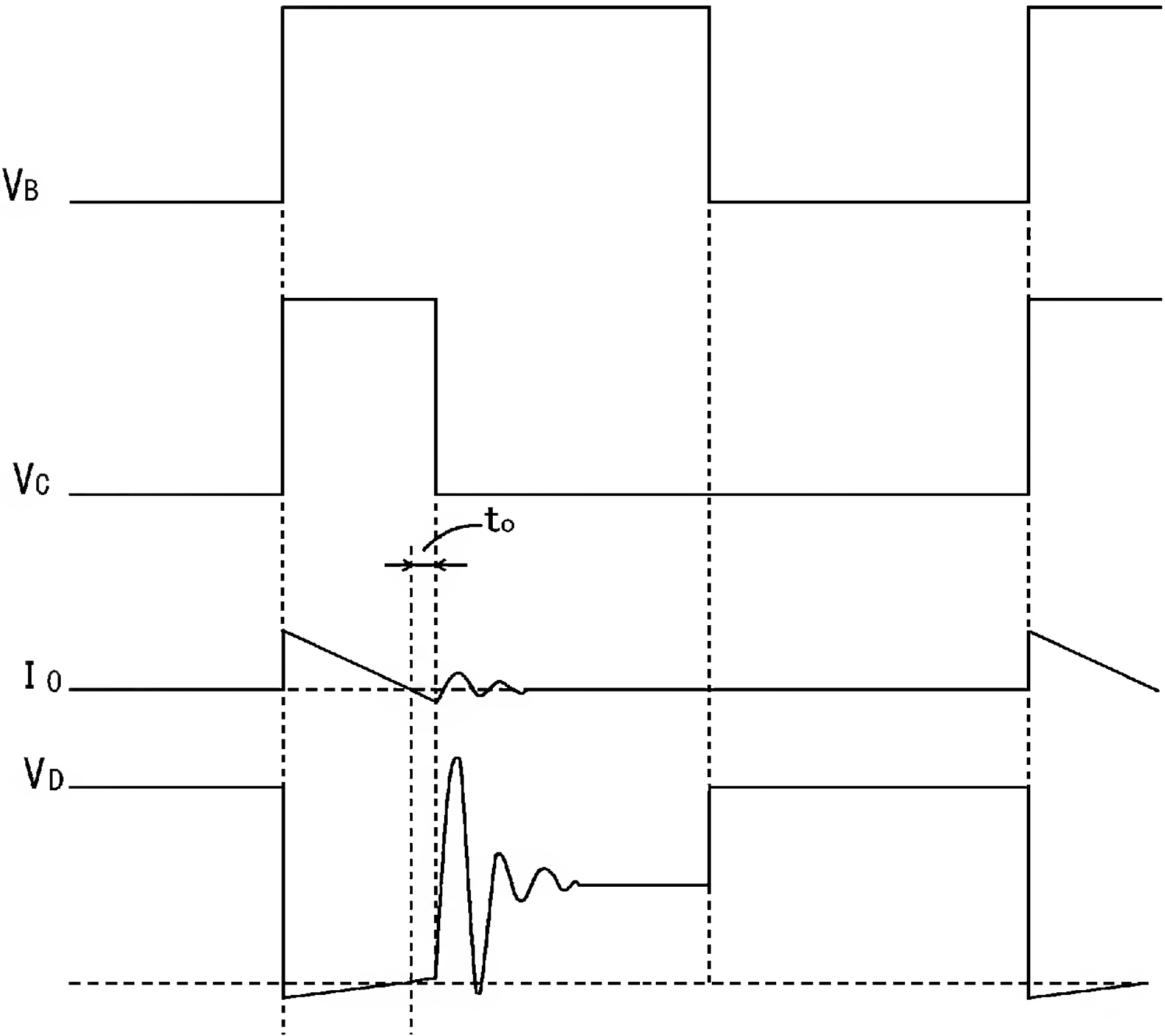


[図3]

101



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002270

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H02M3/155, 3/137, 7/48

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H02M3/155, 3/137, 7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-56982 A (Seiko Epson Corp.), 19 February, 2004 (19.02.04), & US 2004/01047414 A1	1, 2
A	JP 2003-244946 A (Hitachi, Ltd.), 29 August, 2003 (29.08.03), (Family: none)	1, 2
A	JP 2002-280886 A (Toshiba Micro-Electronics Corp., Toshiba Corp.), 27 September, 2002 (27.09.02), (Family: none)	1, 2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search
19 April, 2005 (19.04.05)

Date of mailing of the international search report
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H02M3/155, 3/137, 7/48

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H02M3/155, 3/137, 7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-56982 A (セイコーエプソン株式会社) 19.02.2004 & US 2004/01047414 A1	1、2
A	JP 2003-244946 A (株式会社日立製作所) 29.08.2003 (ファミリーなし)	1、2
A	JP 2002-280886 A (東芝マイクロエレクトロニクス株式会社、株式会社東芝) 27.09.2002 (ファミリーなし)	1、2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

19.04.2005

国際調査報告の発送日

10.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川端 修

3V

8718

電話番号 03-3581-1101 内線 3358